



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re patent application of

Tsuneo Abe

Serial No.: 10/758,527

Group Art Unit: Not Yet Assigned

Filing Date: January 16, 2004

Examiner: Unknown

For: SEMICONDUCTOR DEVICE HAVING A TEST CIRCUIT FOR TESTING AN  
OUTPUT CIRCUIT

Honorable Commissioner of Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Sir:

Submitted herewith is a certified copy of Japanese Application Number 2003-011440  
filed on January 20, 2003, upon which application the claim for priority is based.

Respectfully submitted,

A handwritten signature in black ink, appearing to read "Sean McGinn".

Sean M. McGinn, Esq.  
Registration No. 34,386

Date: 3/25/04  
McGinn & Gibb, PLLC  
Intellectual Property Law  
8321 Courthouse Road, Suite 200  
Vienna, VA 22182-3817  
(703) 761-4100  
Customer No. 21254

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 1月20日

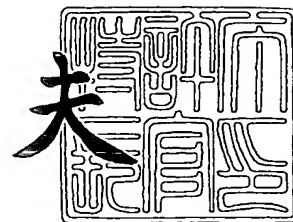
出願番号  
Application Number: 特願2003-011440  
[ST. 10/C]: [JP 2003-011440]

出願人  
Applicant(s): エルピーダメモリ株式会社

2004年 1月 5日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3108170

【書類名】 特許願

【整理番号】 22310190

【提出日】 平成15年 1月20日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 31/28

【発明の名称】 半導体装置及びその試験方法

【請求項の数】 14

【発明者】

【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式会社内

【氏名】 阿部 恒夫

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100096231

【弁理士】

【氏名又は名称】 稲垣 清

【電話番号】 03-5295-0851

【手数料の表示】

【予納台帳番号】 029388

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0117862

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその試験方法

【特許請求の範囲】

【請求項 1】 第 1 の電源線と、第 2 の電源線と、それぞれが前記第 1 の電源線と第 2 の電源線との間に且つ相互に直列に接続された第 1 及び第 2 の半導体スイッチ、及び、前記第 1 の半導体スイッチと前記第 2 の半導体スイッチとの間の中間ノードに接続された出力端子を有する第 1 及び第 2 の出力回路とを有する半導体装置を試験する方法であって、

前記第 1 の出力回路の前記第 1 及び第 2 の半導体スイッチの双方をオンにすると共に、前記第 2 の出力回路の前記第 1 及び第 2 の半導体スイッチの一方をオンに他方をオフとし、

前記第 1 の出力回路の出力端子と前記第 2 の出力回路の出力端子との間の電圧と、前記第 1 の出力回路を流れる貫通電流とに基づいて、前記第 1 の出力回路の前記第 1 又は第 2 の半導体スイッチの特性を測定することを特徴とする半導体装置の試験方法。

【請求項 2】 前記第 1 の出力回路の前記第 1 及び第 2 の半導体スイッチの少なくとも一方は、並列接続された複数のトランジスタから成り、該複数のトランジスタの内の選択された数のトランジスタをオンとする、請求項 1 に記載の半導体装置の試験方法。

【請求項 3】 3 以上の出力回路から、任意の 2 つの出力回路を前記第 1 及び第 2 の出力回路として選択する、請求項 1 又は 2 に記載の半導体装置の試験方法。

【請求項 4】 外部ピンから入力する外部信号によって、前記第 1 及び第 2 の出力回路の前記第 1 及び第 2 のトランジスタのオン・オフを制御する、請求項 1 から 3 の何れかに記載の半導体装置の試験方法。

【請求項 5】 前記第 1 の電源線と前記第 2 の電源線との間に定電流源を接続する、請求項 1 から 4 の何れかに記載の半導体装置の試験方法。

【請求項 6】 請求項 1 から 5 の何れかに記載の試験方法をプログラムとして記憶する記憶媒体。

【請求項 7】 第 1 の電源線及び第 2 の電源線と、

それぞれが前記第 1 の電源線と第 2 の電源線との間に且つ相互に直列に接続された第 1 及び第 2 の半導体スイッチ、及び、前記第 1 の半導体スイッチと前記第 2 の半導体スイッチとの間の中間ノードに接続された出力端子を有する複数の出力回路と、

テスト時に、1 つの出力回路の前記第 1 及び第 2 の半導体スイッチの双方をオンとし、他の 1 つの出力回路の前記第 1 及び第 2 の半導体スイッチの一方のみをオンとする制御回路とを備えることを特徴とする半導体装置。

【請求項 8】 前記制御回路は、前記 1 つ及び前記他の 1 つの出力回路以外の出力回路の前記第 1 及び第 2 の半導体スイッチを全てオフとする、請求項 7 に記載の半導体装置。

【請求項 9】 前記第 1 及び第 2 の半導体スイッチが、一対の p チャネルトランジスタ及び n チャネルトランジスタで構成される、請求項 7 又は 8 に記載の半導体装置。

【請求項 10】 前記第 1 及び第 2 の半導体スイッチの少なくとも一方は、並列接続された複数のトランジスタから成る、請求項 7 から 9 の何れかに記載の半導体装置。

【請求項 11】 前記制御回路は、前記外部信号をデコードするデコーダを備える、請求項 7 から 10 の何れかに記載の半導体装置。

【請求項 12】 前記制御回路は、前記デコーダでデコードされた信号に基づいて、前記第 1 及び第 2 の半導体スイッチに入力する制御電位を選択するセレクタを更に備える、請求項 11 に記載の半導体装置。

【請求項 13】 前記制御回路からの信号に応答して、前記出力回路及び前記制御回路以外の回路であって前記第 1 及び第 2 の電源線に接続される回路を、前記第 1 及び第 2 の電源線の少なくとも一方から切り離す電源制御部を更に備える、請求項 7 から 12 の何れかに記載の半導体装置。

【請求項 14】 前記複数の出力回路は、前記第 1 及び第 2 の電源線の少なくとも一方から分岐した分岐電源線に共通に接続される、請求項 7 から 13 の何れかに記載の半導体装置。

## 【発明の詳細な説明】

## 【0 0 0 1】

## 【発明の属する技術分野】

本発明は、半導体装置及びその試験方法に関し、更に詳しくは、端子の特性試験の精度を向上できる半導体装置、及び、その半導体装置の試験方法に関する。

## 【0 0 0 2】

## 【従来の技術】

内部にバッファ等の出力回路を有する I C や L S I 等の半導体装置では、半導体装置の出力端子の特性試験として、出力回路（出力端子）の抵抗値が測定される。特性試験では、一般に、測定装置からプローブやソケットを介して出力回路に電源が供給され、出力端子の電圧が測定されて、出力端子の抵抗値が求められる。近年、出力回路の抵抗値の測定には高い精度が要求され、電圧測定時にプローブやソケットで発生する接触抵抗や、測定装置自身の抵抗が無視できない。

## 【0 0 0 3】

半導体装置の特性試験の精度を向上する技術として、特開 2 0 0 0 - 2 1 4 2 2 5 号公報（特許文献 1）には、特性試験に専用の端子を使用して、半導体装置の特性試験を行なう技術が記載されている。図 7 は、特許文献 1 に記載の半導体装置の構成を示している。この半導体装置 2 0 0 では、デコーダ 2 0 2 に、端子 P 1 ～ P 3 を介して、所定の組み合わせの信号が入力されると、デコーダ 2 0 2 から送信される第 1 制御信号 C 1 により、制御回路 2 0 3 が、例えばバイポーラトランジスタ 2 0 5 をオンに設定することで、バイポーラトランジスタ 2 0 5 の特性試験が行なわれる。

## 【0 0 0 4】

バイポーラトランジスタ 2 0 5 の特性試験では、電源端子 P 4 に測定用電源 B が接続され、出力端子 P 6 に測定用負荷 L が接続され、特性試験に専用の端子として構成されるセンス端子 P 1 0 に電圧計 V t 3 が接続される。測定用電源 B からは、電源端子 P 4、バイポーラトランジスタ 2 0 5、出力端子 P 6、及び、測定用負荷 L を通じて電流 I 0 が流れる。この状態で、デコーダ 2 0 2 からの第 2 制御信号 C 2 により、まず、第 1 スイッチ S W 1 が所定期間だけオンとなり、セ

ンス端子 P 1 0 に接続された電圧計 V t 3 によって、バイポーラトランジスタ 2 0 5 の電源端子 P 4 側の電位 V a が測られる。次いで、第 3 スイッチ S W 3 を所定期間だけオンにして、センス端子 P 1 0 に接続された電圧計 V t 3 により、バイポーラトランジスタ 2 0 5 の出力端子 P 6 側の電位 V b が測られる。

#### 【 0 0 0 5 】

測定用電源 B から供給される電流 I 0 を測定し、電流 I 0 と測定された電位 V a 、 V b とを用いることで、バイポーラトランジスタ 2 0 5 のオン抵抗が求められる。この技術では、センス端子 P 1 0 から、第 1 のスイッチ S W 1 及び第 3 のスイッチ S W 3 を介して、バイポーラトランジスタ 2 0 5 の電源端子 P 4 側及び出力端子 P 6 側の電位を選択的に出力することで、測定用電源 B を電源端子 P 4 に接続する際の接触抵抗の影響、及び、測定用負荷 L を出力端子 P 6 に接続する際の接触抵抗の影響を排除して、バイポーラトランジスタ 2 0 5 のコレクターエミッタ間の降下電圧 V o n を求めることができる。

#### 【 0 0 0 6 】

半導体装置の特性試験の精度を向上する別の技術として、特開平 1 1 - 3 0 6 4 9 号公報（特許文献 2）には、出力端子に測定用負荷を接続せずに、半導体装置の特性を測定する技術が記載されている。図 8 は、特許文献 2 に記載の半導体装置の構成を示している。この半導体装置 3 0 0 では、特性試験時には、特性試験を指示する制御回路 3 0 6 からの指令により、測定回路 3 0 5 は、出力回路を構成する 2 つのトランジスタ 3 0 1、3 0 2 の双方をオンに設定し、第 1 トランジスタ 3 0 1 及び第 2 トランジスタ 3 0 2 に貫通電流を流す。

#### 【 0 0 0 7 】

半導体装置 3 0 0 の特性試験では、第 1 トランジスタ 3 0 1 と第 2 トランジスタ 3 0 2 との中間ノード 3 1 0 に接続する出力端子 3 0 9 の電位を測定し、その電位と、電源端子 3 0 3 の電位との電位差により、第 1 トランジスタ 3 0 1 のソースドレイン間の降下電圧が求められ、出力端子 3 0 9 の電位と、グランド端子 3 0 4 の電位との電位差により、第 2 トランジスタ 3 0 2 のソースドレイン間の降下電圧が求められる。半導体装置の特性は、各トランジスタのソースドレイン間の降下電圧と、電源端子 3 0 3 から第 1 トランジスタ 3 0 1 及び第 2 ト

ランジスタ 3 0 2 を介してグランド端子 3 0 4 に向けて流れる貫通電流の電流値との関係に基づいて求められる。

#### 【0 0 0 8】

##### 【特許文献 1】

特開 2 0 0 0 - 2 1 4 2 2 5 号公報

##### 【特許文献 2】

特開平 1 1 - 3 0 6 4 9 号公報

#### 【0 0 0 9】

##### 【発明が解決しようとする課題】

ところで、特許文献 2 に記載の技術では、多数の電源端子 3 0 3 及びグランド端子 3 0 4 を同じ配線に対して並列に設け、半導体装置の特性試験の際には、それら多数の端子のそれぞれにプローブ等を接続し、多数の接触抵抗が並列接続されるようにして、電源端子 3 0 3 及びグランド端子 3 0 4 で発生する接触抵抗の影響を除去している。このため、電源端子 3 0 3 及びグランド端子 3 0 4 の数が少ないときには、それら端子で発生する接触抵抗の影響を除去して半導体装置 3 0 0 の測定試験を行なうことができない。また、特許文献 1 に記載の技術では、半導体装置に、特性試験用の専用の端子が必要となり、半導体装置の小型化、或いは、低コスト化の点で不利となる。

#### 【0 0 1 0】

本発明は、上記問題点を解消し、半導体装置に新たな端子を追加することなく、また、多数の電源端子を必要とすることなく、半導体装置の特性試験の精度を向上できる半導体装置及びその試験方法を提供することを目的とする。

#### 【0 0 1 1】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明の半導体装置の試験方法は、第 1 の電源線と、第 2 の電源線と、それぞれが前記第 1 の電源線と第 2 の電源線との間に且つ相互に直列に接続された第 1 及び第 2 の半導体スイッチ、及び、前記第 1 の半導体スイッチと前記第 2 の半導体スイッチとの間の中間ノードに接続された出力端子を有する第 1 及び第 2 の出力回路とを有する半導体装置を試験する方法であっ



て、前記第 1 の出力回路の前記第 1 及び第 2 の半導体スイッチの双方をオンにすると共に、前記第 2 の出力回路の前記第 1 及び第 2 の半導体スイッチの一方をオンに他方をオフとし、前記第 1 の出力回路の出力端子と前記第 2 の出力回路の出力端子との間の電圧と、前記第 1 の出力回路を流れる貫通電流とに基づいて、前記第 1 の出力回路の前記第 1 又は第 2 の半導体スイッチの特性を測定することを特徴とする。

#### 【0012】

本発明の半導体装置の試験方法では、第 1 の出力回路の第 1 及び第 2 の半導体スイッチの双方をオンにして、第 1 の電源線側から第 2 の電源線側に向けて第 1 の出力回路を貫通する貫通電流を流し、第 2 の出力回路の第 1 及び第 2 の半導体スイッチの何れか一方をオンにし、他方をオフにして、第 1 の出力回路の出力端子と、第 2 の出力回路の出力端子との間の電位差を求め、その電位差と、第 1 の出力回路を貫通する貫通電流とに基づいて、第 1 の出力回路の第 1 又は第 2 の半導体スイッチの特性（抵抗値）を測定する。第 2 の出力回路の出力端子を、第 1 の出力回路の第 1 及び第 2 の半導体スイッチの第 1 電源線側の電位、又は、第 2 の電源線側の電位を測定するための端子として使用して試験を行なうことで、半導体装置に、試験に専用に使われる端子を配置することなく、プローブ端子間で発生する接触抵抗の影響を除去した精度の高い特性試験を行なうことができる。

#### 【0013】

本発明の半導体装置の試験方法では、前記第 1 の出力回路の前記第 1 及び第 2 の半導体スイッチの少なくとも一方は、並列接続された複数のトランジスタから成り、該複数のトランジスタの内の選択された数のトランジスタをオンとすることが好ましい。この場合、例えば、並列接続されたトランジスタを、ヒューズ等のスイッチによって接続数が選択可能に構成して、半導体スイッチの特性試験の結果に応じて、その接続数を選択することで、所望の特性を有する半導体スイッチを得ることができる。

#### 【0014】

また、本発明の半導体装置の試験方法は、3 以上の出力回路から、任意の 2 つ

の出力回路を前記第 1 及び第 2 の出力回路として選択することが好ましい。半導体装置が 3 以上の出力回路を有する場合には、それら出力回路の中から、任意の 2 つの出力回路を選択し、2 つのうち的一方の出力回路の第 1 及び第 2 の半導体スイッチの特性を、他方の出力回路の出力端子を使用して、試験することができる。

#### 【0 0 1 5】

本発明の半導体装置の試験方法は、外部ピンから入力する外部信号によって、前記第 1 及び第 2 の出力回路の前記第 1 及び第 2 のトランジスタのオン・オフを制御することが好ましい。特性試験で使用する第 1 及び第 2 の出力回路を、半導体装置に外部から入力する外部信号に基づいて選択することもできる。

#### 【0 0 1 6】

本発明の半導体装置の試験方法は、前記第 1 の電源線と前記第 2 の電源線との間に定電流源を接続することが好ましい。この場合、第 1 の出力回路に所望の貫通電流を流すことができる。

#### 【0 0 1 7】

本発明の記憶媒体は、上記本発明の試験方法をプログラムとして記憶することを特徴とする。

#### 【0 0 1 8】

半発明の半導体装置は、第 1 の電源線及び第 2 の電源線と、それぞれが該第 1 の電源線と第 2 の電源線との間に且つ相互に直列に接続された第 1 及び第 2 の半導体スイッチ、及び、前記第 1 の半導体スイッチと前記第 2 の半導体スイッチとの間の中間ノードに接続された出力端子を有する複数の出力回路と、テスト時に、1 つの出力回路の前記第 1 及び第 2 の半導体スイッチの双方をオンとし、他の 1 つの出力回路の前記第 1 及び第 2 の半導体スイッチの一方のみをオンとする制御回路とを備えることを特徴とする。

#### 【0 0 1 9】

本発明の半導体装置では、制御回路は、試験時に、複数の出力回路うちの 1 つの出力回路（以下、測定対象の出力回路とも呼ぶ）の第 1 及び第 2 の半導体スイッチの双方をオンにし、測定対象以外の他の 1 つの出力回路（以下、リファレン

スの出力回路とも呼ぶ)の第1及び第2の半導体スイッチの何れか一方をオンにして、他方をオフにする。測定対象の出力回路に、第1の電源線から、第1及び第2の半導体スイッチを介して第2の電源線に貫通電流を流す場合、リファレンスの出力回路の出力端子を使用して、測定対象の出力回路の第1又は第2の半導体スイッチの第1の電源線側の電位、又は、第2の電源線側の電位を測定することができる。このため、測定対象の出力回路の第1又は第2の半導体スイッチの第1の電源線側の電位、又は、第2の電源線側の電位を測定するための試験に専用の端子を配置することなく、端子-プローブ間で発生する接触抵抗の影響を除去した精度の高い特性試験を行なうことができる。

#### 【0020】

本発明の半導体装置では、前記制御回路は、前記1つ及び前記他の1つの出力回路以外の出力回路の前記第1及び第2の半導体スイッチを全てオフとすることが好ましい。この場合、試験時に、測定対象及びリファレンスの出力回路以外の出力回路を介して第1の電源線から第2の電源線へ電流が流れないようにすることで、試験の精度を更に向上させることができる。

#### 【0021】

本発明の半導体装置は、前記第1及び第2の半導体スイッチを、一対のpチャネルトランジスタ及びnチャネルトランジスタで構成することができる。pチャネルトランジスタ及びnチャネルトランジスタは、MISトランジスタ又はMOSトランジスタとして構成することもでき、また、その他のトランジスタとして構成することもできる。

#### 【0022】

本発明の半導体装置は、前記第1及び第2の半導体スイッチの少なくとも一方を並列接続された複数のトランジスタで構成することができる。この場合、例えば、並列接続されたトランジスタを、ヒューズ等のスイッチによって接続数が選択可能に構成し、半導体スイッチの特性試験の結果に応じて、その接続数を選択する構成を採用することで、所望の特性を有する半導体スイッチを得ることができる。

#### 【0023】

本発明の半導体装置では、前記制御回路は、前記外部信号をデコードするデコーダを備えることが好ましい。この場合、制御回路を、外部信号に基づいて動作させることができる。

#### 【0024】

本発明の半導体装置では、前記制御回路は、前記デコーダでデコードされた信号に基づいて、前記第1及び第2の半導体スイッチに入力する制御電位を選択するセクタを更に備えるができる。この場合、セクタには、少なくとも第1及び第2の半導体スイッチのオン・オフを制御するための信号が入力され、第1及び第2の半導体スイッチは、セクタの出力（選択）に応じて、オン・オフが制御される。

#### 【0025】

本発明の半導体装置は、前記制御回路からの信号に応答して、前記出力回路及び前記制御回路以外の回路であって前記第1及び第2の電源線に接続される回路を、前記第1及び第2の電源線の少なくとも一方から切り離す電源制御部を更に備えることが好ましい。この場合、電源制御部により、他の回路を、第1の電源線及び第2の電源線から切り離すことで、他の回路を介して第1の電源線から第2の電源線へ電流が流れないようにすることができ、試験の精度を更に向上させることができる。

#### 【0026】

本発明の半導体装置では、前記複数の出力回路は、前記第1及び第2の電源線の少なくとも一方から分岐した分岐電源線に共通に接続されることが好ましい。この場合、リファレンスの出力回路の出力端子から、測定対象の出力回路の第1又は第2の半導体スイッチの第1又は第2電源線側までの間の配線抵抗の影響が小さく、試験の精度を更に向上させることができる。

#### 【0027】

##### 【発明の実施の形態】

以下、図面を参照し、本発明の実施形態例に基づいて、本発明を更に詳細に説明する。図1は、本発明の第1実施形態例の半導体装置の構成例を示している。この半導体装置100は、例えばSDRAMとして構成され、コマンドデコーダ

101と、他の回路103と、分離スイッチ104と、高電位側電源パッド（以下、VDDパッドとも呼ぶ）105と、低電位側電源パッド（以下、GNDパッドとも呼ぶ）106とを備える。半導体装置100は、更に、一对のP型MISトランジスタ $T_P$ 及びN型MISトランジスタ $T_N$ と、出力端子Doutと、制御回路102とから成る出力回路を $n$ 個（ $n$ は2以上の整数）備える。

#### 【0028】

高電位側電源線（以下、VDD線とも呼ぶ）107は、電源VDD又は出力回路用の電源VDDQが供給されるべきVDDパッド105に接続する。低電位側電源線（以下、GND線とも呼ぶ）108は、グランド電位GND又は低電源電位VSSが供給されるべきGNDパッド106に接続する。VDD線107と、GND線108との間には、出力回路を構成する、ソース・ドレインパスが直列接続された一对のP型MISトランジスタ $T_P$ 及びN型MISトランジスタ $T_N$ が接続される。半導体装置100は、一对のP型MISトランジスタ $T_P$ 及びN型MISトランジスタ $T_N$ の中間ノードに接続する出力端子Doutから、外部に信号を出力可能である。

#### 【0029】

コマンドデコーダ101は、例えば、16ビットのアドレス入力Addr、及び、制御信号入力／WE、／RAS、／CSで構成される外部入力信号をデコードする。コマンドデコーダ101は、外部入力信号のデコード結果に基づいて入力コマンドを特定し、制御回路102に制御信号 $C_i$ （ $i=1\sim n$ ）を送信すると共に、分離スイッチ104に分離信号Cocを送信する。分離スイッチ104は、VDD線107と同じVDDパッド105に接続する分岐配線109と、出力回路以外の他の回路103との間に配置され、半導体装置100の出力端子（出力回路）の特性試験時に、他の回路103に電流が流れないようにする。分離スイッチ104は、コマンドデコーダ101からの分離信号Cocに応答して、分岐配線109から他の回路103を切り離す。

#### 【0030】

制御回路102は、出力回路を構成する一对のP型MISトランジスタ $T_P$ 及びN型MISトランジスタ $T_N$ のそれぞれに対応して配置される。各制御回路1

02には、コマンドデコーダ101からの制御信号 $C_i$ と、データ信号 $D_{i1}$ 、 $D_{i2}$ とが入力される。各制御回路102は、受信した制御信号 $C_i$ に基づいて、一対のP型MISトランジスタ $T_P$ 及びN型MISトランジスタ $T_N$ のゲートにそれぞれ入力するゲート制御信号 $g_P$ 、 $g_N$ を生成する。

#### 【0031】

図2(a)は、制御回路102の構成例を示し、同図(b)は、制御回路102の出力電位の組み合わせを示している。各制御回路102は、第1のセクタ121と、第2のセクタ122とを備える。第1のセクタ121には、通常動作時に第1ゲート制御信号 $g_{Pi}$ としてP型MISトランジスタ $T_{Pi}$ のゲートに inputsべき第1データ信号 $D_{i1}$ と、LレベルのGND電位と、HレベルのVDD又はVDDQ(以下、VDD(Q)と略す)電位とが入力される。第2のセクタ122には、通常動作時に第2ゲート制御信号 $g_{Ni}$ としてN型MISトランジスタ $T_{Ni}$ に inputsされるべき第2データ信号 $D_{i2}$ と、LレベルのGND電位と、HレベルのVDD(Q)電位とが入力される。第1のセクタ121及び第2のセクタ122は、それぞれコマンドデコーダ101から送信される制御信号 $C_i$ を選択信号として使用し、それぞれの入力のうち、何れをゲート制御信号 $g_{Pi}$ 、 $g_{Ni}$ として出力するかを選択する。

#### 【0032】

制御回路102は、通常動作時には、第1のセクタ121から第1データ信号 $D_{i1}$ を出力し、第2のセクタ122から第2データ信号 $D_{i2}$ を出力する。制御回路102は、半導体装置100の特性試験時に、P型MISトランジスタ $T_{Pi}$ 及びN型MISトランジスタ $T_{Ni}$ の双方をオンに設定する際には、図2(b)に示すように、第1のセクタ121からGND電位の第1ゲート制御信号 $g_{Pi}$ を出力し、かつ、第2のセクタ122からVDD(Q)電位の第2ゲート制御信号 $g_{Ni}$ を出力する。また、P型MISトランジスタ $T_{Pi}$ をオンに設定し、かつ、N型MISトランジスタ $T_{Ni}$ をオフに設定する際には、第1のセクタ121及び第2のセクタ122から、それぞれGND電位の第1ゲート制御信号 $g_{Pi}$ 及び第2ゲート制御信号 $g_{Ni}$ を出力し、P型MISトランジスタ $T_{Pi}$ をオフに設定し、かつ、N型MISトランジスタ $T_{Ni}$ をオンに設定する際には、第1の

セクタ 1 2 1 及び第 2 のセクタ 1 2 2 から、それぞれ  $V_{DD}(Q)$  電位の第 1 ゲート制御信号  $g_{Pi}$  及び第 2 ゲート制御信号  $g_{Ni}$  を出力する。制御回路 1 0 2 は、P 型 M I S トランジスタ  $T_{Pi}$  及び N 型 M I S トランジスタ  $T_{Ni}$  の双方をオフに設定する際には、第 1 のセクタ 1 2 1 から  $V_{DD}(Q)$  電位の第 1 ゲート制御信号  $g_{Pi}$  を出力し、かつ、第 2 のセクタ 1 2 2 から GND 電位の第 2 ゲート制御信号  $g_{Ni}$  を出力する。

#### 【0 0 3 3】

図 3 は、半導体装置 1 0 0 の特性試験の手順例を示している。以下では、第 1 出力端子  $Dout\ 1$  を有する第 1 の出力回路の特性試験に際して、リファレンスとして第 2 出力端子  $Dout\ 2$  を有する第 2 の出力回路を使用する例について説明する。より具体的には、 $V_{DD}$  パッド 1 0 5、GND パッド 1 0 6、測定対象の第 1 出力端子  $Dout\ 1$ 、及び、リファレンスの第 2 出力端子  $Dout\ 2$  の 4 つの端子（パッド）を使用して、第 1 の出力回路の出力端子  $Dout\ 1$  に接続する P 型 M I S トランジスタ  $T_{P1}$  のオン抵抗  $R_{P1}$  及び N 型 M I S トランジスタ  $T_{N1}$  のオン抵抗  $R_{N1}$  を、四端子法により求める。

#### 【0 0 3 4】

第 1 の出力回路の特性試験に際して、半導体装置 1 0 0 では、図 1 に示すように、プローブ # 1 が  $V_{DD}$  パッド 1 0 5 に接続され、プローブ # 4 が GND パッド 1 0 6 に接続され、プローブ # 2 が試験対象である第 1 出力端子  $Dout\ 1$  に接続され、プローブ # 3 がリファレンスとして使用される第 2 出力端子  $Dout\ 2$  に接続される。プローブ # 1 とプローブ # 4 との間には、電流源が接続され、プローブ # 2 とプローブ # 3 との間には、電圧計が接続される。なお、図 1 の等価抵抗  $R_{CL1}$  は、 $V_{DD}$  パッド 1 0 5 から P 型 M I S トランジスタ  $T_{P1}$  までの間の配線抵抗と、プローブ # 1 と  $V_{DD}$  パッド 1 0 5 との間の接触抵抗との和を示し、等価抵抗  $R_{CL2}$  は、GND パッド 1 0 6 から N 型 M I S トランジスタ  $T_{N1}$  までの間の配線抵抗と、プローブ # 4 と GND パッド 1 0 6 との間の接触抵抗との和を示す。

#### 【0 0 3 5】

測定対象である第 1 の出力回路に対応する制御回路 1 0 2 は、コマンドデコー

ダ 1 0 1 からの制御信号 C 1 に基づいて、GND 電位の第 1 ゲート制御信号  $g_{p1}$  及び VDD (Q) 電位の第 2 ゲート制御信号  $g_{N1}$  を出力し、第 1 出力端子 D<sub>out</sub> 1 に接続する一対の P 型 M I S トランジスタ  $T_{p1}$  及び N 型 M I S トランジスタ  $T_{N1}$  の双方をオンにする (ステップ S 1)。これにより、第 1 の出力回路では、VDD 線 1 0 7 から GND 線 1 0 8 に、一対の P 型 M I S トランジスタ  $T_p$  及び N 型 M I S トランジスタ  $T_N$  を通過する貫通電流が流れる。測定対象の出力回路と同じ VDD 線 1 0 7 及び GND 線 1 0 8 に接続し、リファレンスとして使用される第 2 の出力回路に対応する制御回路 1 0 2 は、GND 電位の第 1 ゲート制御信号  $g_{p2}$  及び第 2 ゲート制御信号  $g_{N2}$  を出力し、第 2 出力端子 D<sub>out</sub> 2 に接続する一方のトランジスタである P 型 M I S トランジスタ  $T_{p2}$  をオンにして、他方のトランジスタである N 型 M I S トランジスタ  $T_{N2}$  をオフにする (ステップ S 2)。

#### 【0 0 3 6】

ここで、第 3 から第 n までの出力回路に対応する制御回路 1 0 2 は、コマンドデコーダ 1 0 1 からの制御信号に基づいて、VDD (Q) 電位の第 1 ゲート制御信号  $g_p$  及び GND 電位の第 2 ゲート制御信号  $g_N$  を出力し、P 型 M I S トランジスタ  $T_p$  及び N 型 M I S トランジスタ  $T_N$  の双方をオフにする。また、測定対象の出力回路と同じ VDD パッド 1 0 5 及び GND パッド 1 0 6 に接続する他の回路 1 0 3 があるとき、分離スイッチ 1 0 4 には、コマンドデコーダ 1 0 1 から分離信号 C o c が送信され、分離スイッチ 1 0 4 は、分岐配線 1 0 9 から他の回路 1 0 3 を分離する。これにより、プローブ # 1 によって VDD パッド 1 0 5 から供給される電流は、実質的に、測定対象の出力回路 (第 1 の出力回路) を構成する一対の P 型 M I S トランジスタ  $T_{p1}$  及び N 型 M I S トランジスタ  $T_{N1}$  のみを通過して、GND パッド 1 0 6 からプローブ # 4 に出力される。

#### 【0 0 3 7】

プローブ # 2 とプローブ # 3 とを使用して、第 1 出力端子 D<sub>out</sub> 1 と、第 2 出力端子 D<sub>out</sub> 2 との間の電位差 V 1 を測定する (ステップ S 3)。このとき、リファレンスである第 2 の出力回路では、VDD 線 1 0 7 側の P 型 M I S トランジスタ  $T_{p2}$  のみがオンになっているため、第 2 出力端子 D<sub>out</sub> 2 の電位は、VDD 線 1 0 7 の電位と同じになる。このため、第 1 出力端子 D<sub>out</sub> 1 と、第 2 出力端



子Dout 2 との間の電位差  $V_1$  は、VDD 線 1 0 7 と第 1 の出力回路の出力端子Dout1 との間の電位差となり、言い換えると、この電位差  $V_1$  は、第 1 の出力回路を構成する P 型 M I S トランジスタ  $T_{P1}$  のソースドレインパス間の降下電圧と同じ値である。

#### 【0 0 3 8】

図 4 は、ステップ S 3 の状態の半導体装置 1 0 0 の等価回路を示している。測定対象である第 1 の出力回路には、電流源 1 1 0 から、プローブ # 1 及び VDD パッド 1 0 5 を介して電流  $I$  が供給され、電流  $I$  は、等価抵抗  $R_{CL1}$ 、現在の測定対象である P 型 M I S トランジスタ  $T_{P1}$  (オン抵抗  $R_{P1}$ )、N 型 M I S トランジスタ  $T_{N1}$  (オン抵抗  $R_{N1}$ )、及び、等価抵抗  $R_{CL2}$  を流れて、GND パッド 1 0 6 及びプローブ # 4 から出力される。図 3 に戻り、プローブ # 1 からプローブ # 4 に流れる電流  $I$  を測定し (ステップ S 4)、この電流値  $I$  と、ステップ S 3 で測定した電圧値  $V_1$  とから、オームの法則により P 型 M I S トランジスタ  $T_{P1}$  のオン抵抗  $R_{P1}$  が求められる (ステップ S 5)。

#### 【0 0 3 9】

P 型 M I S トランジスタ  $T_{P1}$  のオン抵抗が測定されると、第 2 の出力回路に対応する制御回路 1 0 2 は、VDD (Q) 電位の第 1 ゲート制御信号  $g_{P2}$  及び第 2 ゲート制御信号  $g_{N2}$  を出力し、一方のトランジスタである P 型 M I S トランジスタ  $T_{P2}$  をオフにして、他方のトランジスタである N 型 M I S トランジスタ  $T_{N2}$  をオンにする (ステップ S 6)。再び、プローブ # 2 とプローブ # 3 とを使用して、第 1 出力端子Dout 1 と、第 2 出力端子Dout 2 との間の電位差  $V_2$  を測定する (ステップ S 7)。このとき、リファレンスである第 2 の出力回路では、GND 線 1 0 8 側の N 型 M I S トランジスタ  $T_{N2}$  のみがオンになっているため、第 2 出力端子Dout 2 の電位は、GND 線 1 0 8 の電位と同じになり、第 1 出力端子Dout 1 と、第 2 出力端子Dout 2 との間の電位差  $V_2$  は、第 1 の出力回路を構成する N 型 M I S トランジスタ  $T_{N1}$  のソースドレインパス間の降下電圧と同じ値となる。

#### 【0 0 4 0】

図 5 は、ステップ S 7 の状態の半導体装置 1 0 0 の等価回路を示している。測

定対象である第 1 の出力回路には、電流源 1 1 0 から、プローブ # 1 及び VDD パッド 1 0 5 を介して電流  $I$  が供給され、電流  $I$  は、等価抵抗  $R_{CL1}$ 、P 型 M I S トランジスタ  $T_{P1}$  (オン抵抗  $R_{P1}$ )、現在の測定対象の N 型 M I S トランジスタ  $T_{N1}$  (オン抵抗  $R_{N1}$ )、及び、等価抵抗  $R_{CL2}$  を流れて、GND パッド 1 0 6 及びプローブ # 4 から出力される。図 3 に戻り、プローブ # 1 からプローブ # 4 に流れる電流  $I$  と、ステップ S 7 で測定した電圧値  $V_2$  とから、オームの法則により、測定対象の N 型 M I S トランジスタ  $T_{N1}$  のオン抵抗  $R_{N1}$  が求められる (ステップ S 8)。

#### 【0 0 4 1】

本実施形態例では、測定対象の出力回路と同じ VDD 線 1 0 7 及び GND 線 1 0 8 に接続する出力回路をリファレンスとして使用する。リファレンスとして使用する出力回路では、一対の P 型 M I S トランジスタ  $T_P$  及び N 型 M I S トランジスタ  $T_N$  の何れか一方をオンにし、他方をオフにすることで、リファレンスの出力端子から、VDD 線 1 0 7 又は GND 線 1 0 8 の電位を出力することができる。測定対象の出力回路を構成する一対の P 型 M I S トランジスタ  $T_P$  及び N 型 M I S トランジスタ  $T_N$  の双方をオンに設定して貫通電流を流し、この貫通電流の電流値と、測定対象の出力端子ーリファレンスの出力端子間の電位差との関係から、P 型 M I S トランジスタ  $T_P$  のオン抵抗  $R_{P1}$ 、及び、N 型 M I S トランジスタ  $T_N$  のオン抵抗  $R_{N1}$  が求められる。プローブ # 2 - プローブ # 3 間 (図 4 又は図 5) には電流が流れないため、プローブと端子 (パッド) との接触抵抗の影響を排除した特性試験を行なうことができ、半導体装置 1 0 0 の特性試験の精度が向上する。

#### 【0 0 4 2】

図 7 に示す特許文献 1 では、トランジスタの VDD 線側の電圧と、GND 線側の電圧とを、試験専用の端子から 2 段階に分けて出力させて、電流路 (コレクタ・エミッタ間) の降下電圧を求めていたが、本実施形態例では、測定対象以外の出力端子をリファレンスとして使用し、リファレンスの出力端子から、トランジスタの VDD 線側の電圧、又は、GND 線側の電圧を出力させ、この電圧と、測定対象の出力端子との電位差により、トランジスタのソースドレイン間の降下

電圧を求める。このため、プローブ#1及びプローブ#4で接触抵抗が発生した場合であっても、P型MISトランジスタ $T_{P1}$ 及びN型MISトランジスタ $T_{N1}$ のソースドレイン間の降下電圧を正しく求めることができる。半導体装置100では、制御回路102に、リファレンスとして使用する出力回路の制御の実現するための回路が必要になるが、その回路は非常に小さいためチップサイズはほとんど増加しない。また、特性試験に専用の端子を別に設ける必要がないため、端子数が制限される半導体装置についても、特性試験の試験精度を向上することができる。

#### 【0043】

図6は、本発明の第2実施形態例の半導体装置の構成例を示している。この半導体装置100Aは、第1の出力回路が $m$ 個の並列接続P型MISトランジスタ $T_{P1k}$  ( $k: 1 \sim m$ ) 及び並列接続N型MISトランジスタ $T_{N1k}$ で構成される点で、第1実施形態例と相違する。半導体装置100Aでは、第1出力端子Dout1とVDD線107との間に直列に接続された一対のスイッチ $SW_{P1k}$ 及びP型MISトランジスタ $T_{P1k}$ が並列に接続され、第1出力端子Dout1とGND線108との間に直列に接続された一対のスイッチ $SW_{N1k}$ 及びN型MISトランジスタ $T_{N1k}$ が並列に接続される。スイッチ $SW_{P1k}$ 及びスイッチ $SW_{N1k}$ は、それぞれ例えばヒューズとして構成される。

#### 【0044】

出力回路のVDD線107側のオン抵抗は、例えば、出力端子Dout1とVDD線107との間のスイッチ $SW_{P11}$ からスイッチ $SW_{P11}$ の全てが閉じている場合には、並列に接続されるP型MISトランジスタ $T_{P11}$ から $T_{P1m}$ までのオン抵抗の合成抵抗となり、第1スイッチ $SW_{P11}$ のみが閉じている場合には、P型MISトランジスタ $T_{P11}$ のオン抵抗のみとなる。つまり、半導体装置100Aでは、スイッチ $SW_{P1k}$ 又はスイッチ $SW_{N1k}$ の開閉を制御することで、出力端子Dout1のオン抵抗を変化させることができる。半導体装置100Aでは、図3に示す手順と同様な手順で、第1の出力回路のVDD線107側及びGND線108側のオン抵抗が測定され、それら抵抗値が所望の値となるように、スイッチ $SW_{P1k}$ 及びスイッチ $SW_{N1k}$ の開閉がそれぞれ制御される。

## 【0 0 4 5】

本実施形態例では、スイッチSW<sub>P1k</sub>及びスイッチSW<sub>N1k</sub>の開閉を制御することで、出力回路のVDD線107側及びGND線108側のオン抵抗がそれぞれ変化する。このため、半導体装置の特性試験の結果に応じて、出力回路のオン抵抗を、所望の値に制御することができる。

## 【0 0 4 6】

なお、上記実施形態例では、出力回路が、P型MISトランジスタとN型MISトランジスタとで構成される例について説明したが、出力回路は、出力端子と、高電位電源線とのオン・オフを制御する回路、及び、出力端子と、低電位電源線とのオン・オフを制御する回路として構成されていればよく、P型MISトランジスタとN型MISトランジスタには限定されない。また、半導体装置は、SDRAMには限定されず、特性試験時に、出力回路の高電位電源線側及び低電位電源側がそれぞれオン・オフ制御可能であれば、他の装置として構成されていてもよい。

## 【0 0 4 7】

上記実施形態例では、第1出力端子Dout1の特性試験に際して、第2出力端子Dout2をリファレンスとして使用する例について説明したが、本発明はこれに限定されず、測定対象の出力回路と同じVDDパッド及びGNDパッドに接続する任意の出力回路の出力端子を、リファレンスとして使用することができる。このとき、測定対象の出力回路が接続するVDD線と、リファレンスの出力回路が接続するVDD線とが同じ分岐配線として構成されている場合には、VDD線の配線抵抗の影響が小さくなり、試験精度が向上する。また、測定対象の出力回路が接続するGND線と、リファレンスの出力回路が接続するGND線とが、同じ分岐配線として構成されている場合にも、同様に、試験精度が向上する。

## 【0 0 4 8】

上記第2実施形態例では、第1の出力回路がそれぞれ並列に接続された複数のP型MISトランジスタとN型MISトランジスタとで構成され、第2の出力回路が一对のP型MISトランジスタとN型MISトランジスタとで構成される例について示したが、本発明はこれに限定されず、全ての出力回路が、それぞれ並

列に接続された複数の P 型 M I S トランジスタと N 型 M I S トランジスタで構成されていてもよく、所定の端子に接続する出力回路のみが、それぞれ並列に接続された複数の P 型 M I S トランジスタと N 型 M I S トランジスタとで構成されていてもよい。並列接続された P 型 M I S トランジスタの並列数と、並列接続された N 型 M I S トランジスタの並列数とは、同じ値でなくともよい。

#### 【0049】

また、第 2 実施形態例では、一对のスイッチ  $SW_{P1k}$  及び P 型 M I S トランジスタ  $T_P$  が並列に接続され、一对のスイッチ  $SW_{N1k}$  及び N 型 M I S トランジスタ  $T_N$  が並列に接続され、P 型 M I S トランジスタ  $T_P$  及び N 型 M I S トランジスタ  $T_N$  には、それぞれ共通のゲート制御信号  $g_P$  及び  $g_N$  が入力される例について示したが、スイッチ  $SW_{P1k}$  及びスイッチ  $SW_{N1k}$  を配置するのに代えて、P 型 M I S トランジスタ  $T_P$  及び N 型 M I S トランジスタ  $T_N$  のそれぞれに個別のゲート入力信号を入力して、P 型 M I S トランジスタ  $T_P$  及び N 型 M I S トランジスタ  $T_N$  自身のオン・オフによって、出力回路の抵抗値を可変にしてもよい。この場合、複数の P 型 M I S トランジスタ  $T_P$  及び N 型 M I S トランジスタ  $T_N$  のうちの何れか 1 つには、制御回路 102 からのゲート制御信号  $g_P$  及び  $g_N$  を入力し、その他の P 型 M I S トランジスタ  $T_P$  及び N 型 M I S トランジスタ  $T_N$  については、例えば、半導体装置 100A にレジスタを持たせ、レジスタの値を参照して、個別に入力するゲート制御信号の電位を決定するように構成することができる。

#### 【0050】

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の半導体装置及びその試験方法は、上記実施形態例にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施した半導体装置及びその試験方法も、本発明の範囲に含まれる。例えば、出力回路は、入出力回路として構成されていてもよい。

#### 【0051】

##### 【発明の効果】

以上説明したように、本発明の半導体装置及びその試験方法では、複数の出力回路のうちの測定対象の出力回路（第 1 の出力回路）以外の他の 1 つの出力回路

(第 2 の出力回路) の第 1 及び第 2 の半導体スイッチの何れか一方をオンにし、他方をオフに制御することで、測定対象の出力回路の第 1 又は第 2 の半導体スイッチの第 1 の電源線側の電位、又は、第 2 の電源線側の電位を、他の 1 つの出力回路の出力端子を使用して測定することができるため、試験に専用の端子を配置することなく、端子－プローブ間で発生する接触抵抗の影響を除去した精度の高い特性試験を行なうことができる。

#### 【図面の簡単な説明】

##### 【図 1】

本発明の第 1 実施形態例の半導体装置の構成例を示すブロック図。

##### 【図 2】

(a) は制御回路の構成例を示すブロック図、同図 (b) は、制御回路 1 0 2 の出力電位の組み合わせを示すテーブル。

##### 【図 3】

半導体装置 1 0 0 の特性試験の手順例を示すフローチャート。

##### 【図 4】

試験時の半導体装置 1 0 0 の等価回路。

##### 【図 5】

試験時の半導体装置 1 0 0 の別の等価回路。

##### 【図 6】

本発明の第 2 実施形態例の半導体装置の構成例を示すブロック図。

##### 【図 7】

従来の半導体装置の構成例を示すブロック図。

##### 【図 8】

従来の半導体装置の別の構成例を示すブロック図。

#### 【符号の説明】

1 0 0 : 半導体装置

1 0 1 : コマンドデコーダ

1 0 2 : 制御回路

1 0 3 : 他の回路

1 0 5 : 高電位側電源パッド

1 0 6 : 低電位側電源パッド

1 0 7 : 高電位側電源線

1 0 8 : 低電位側電源線

1 1 0 : 電流源

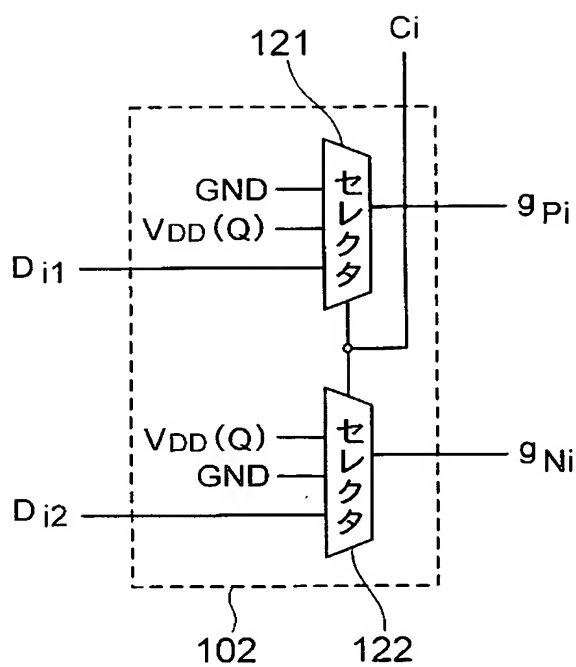
1 1 1 : 電圧計





【図 2】

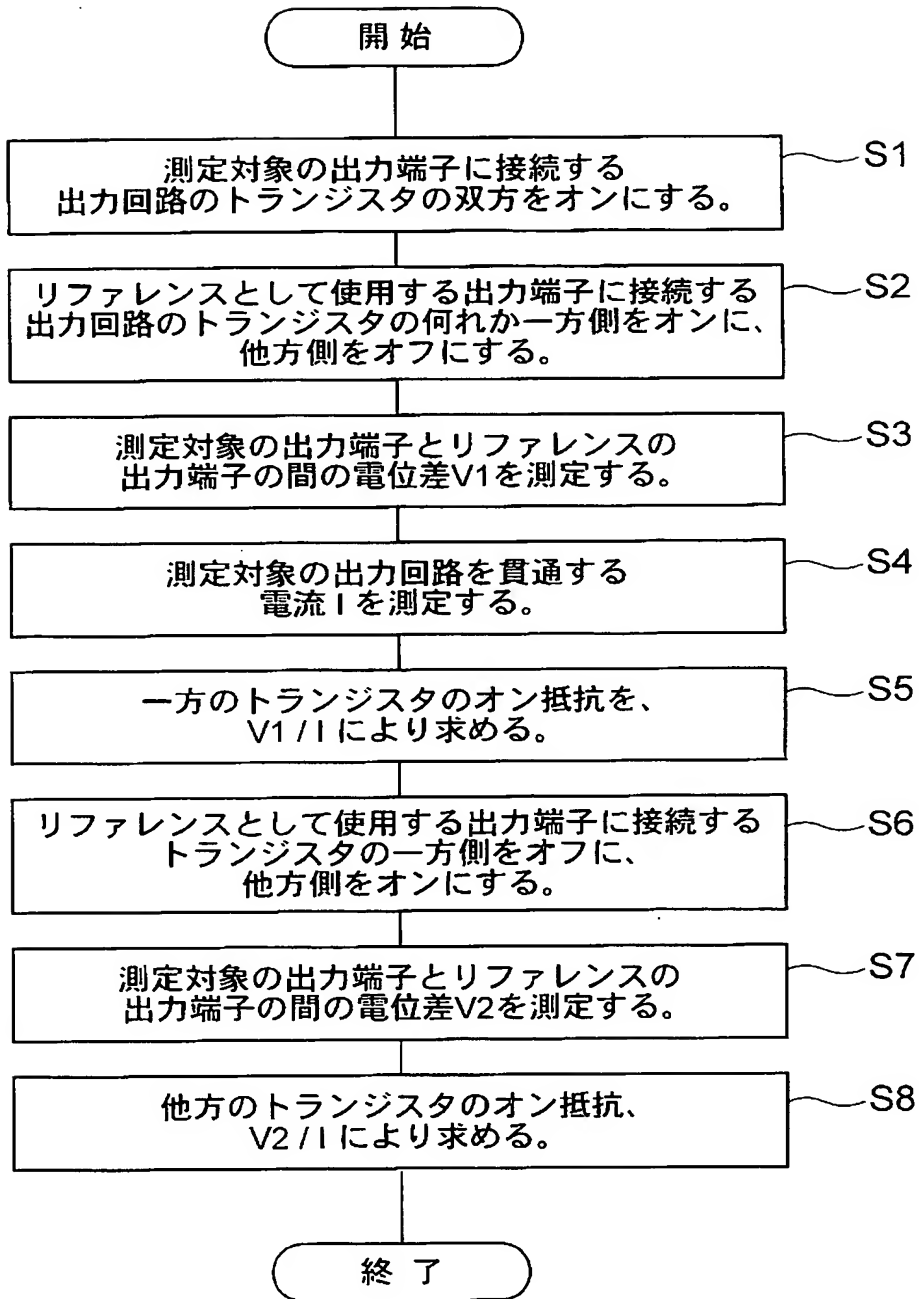
(a)



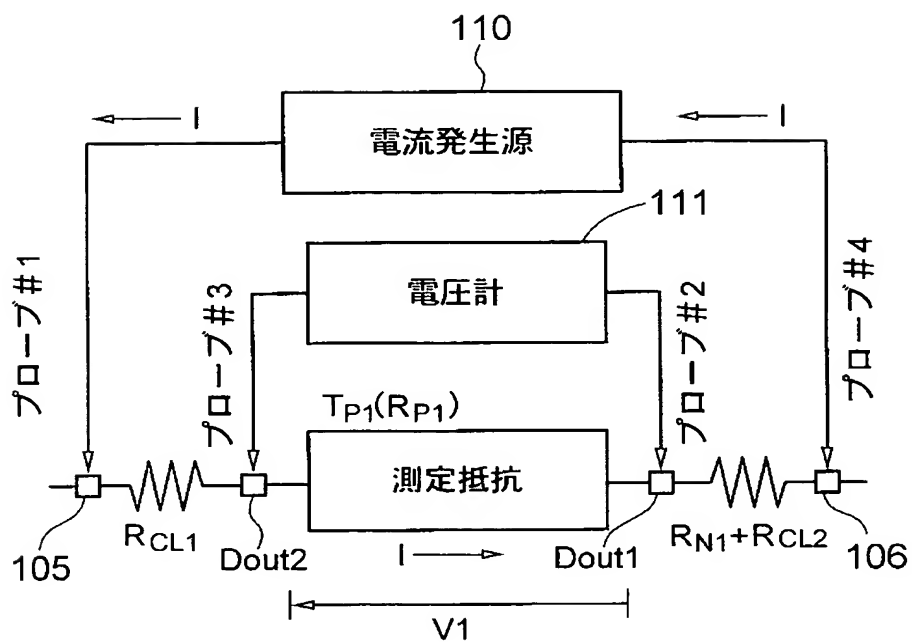
(b)

	TP ON TN ON	TP ON TN OFF	TP OFF TN ON	TP OFF TN OFF
$g_P$ 電位	GND	GND	VDD(Q)	VDD(Q)
$g_N$ 電位	VDD(Q)	GND	VDD(Q)	GND

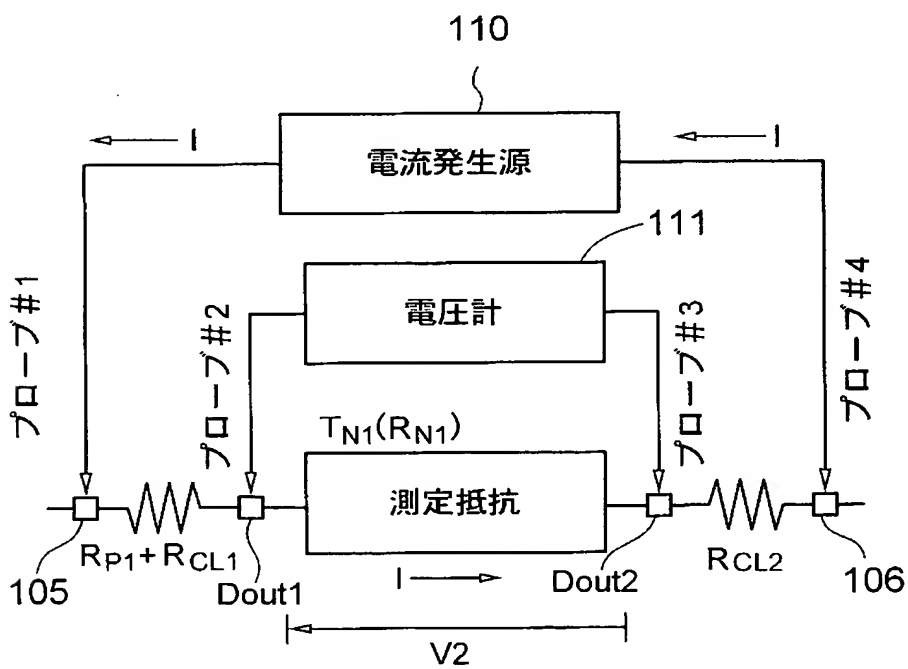
【図 3】



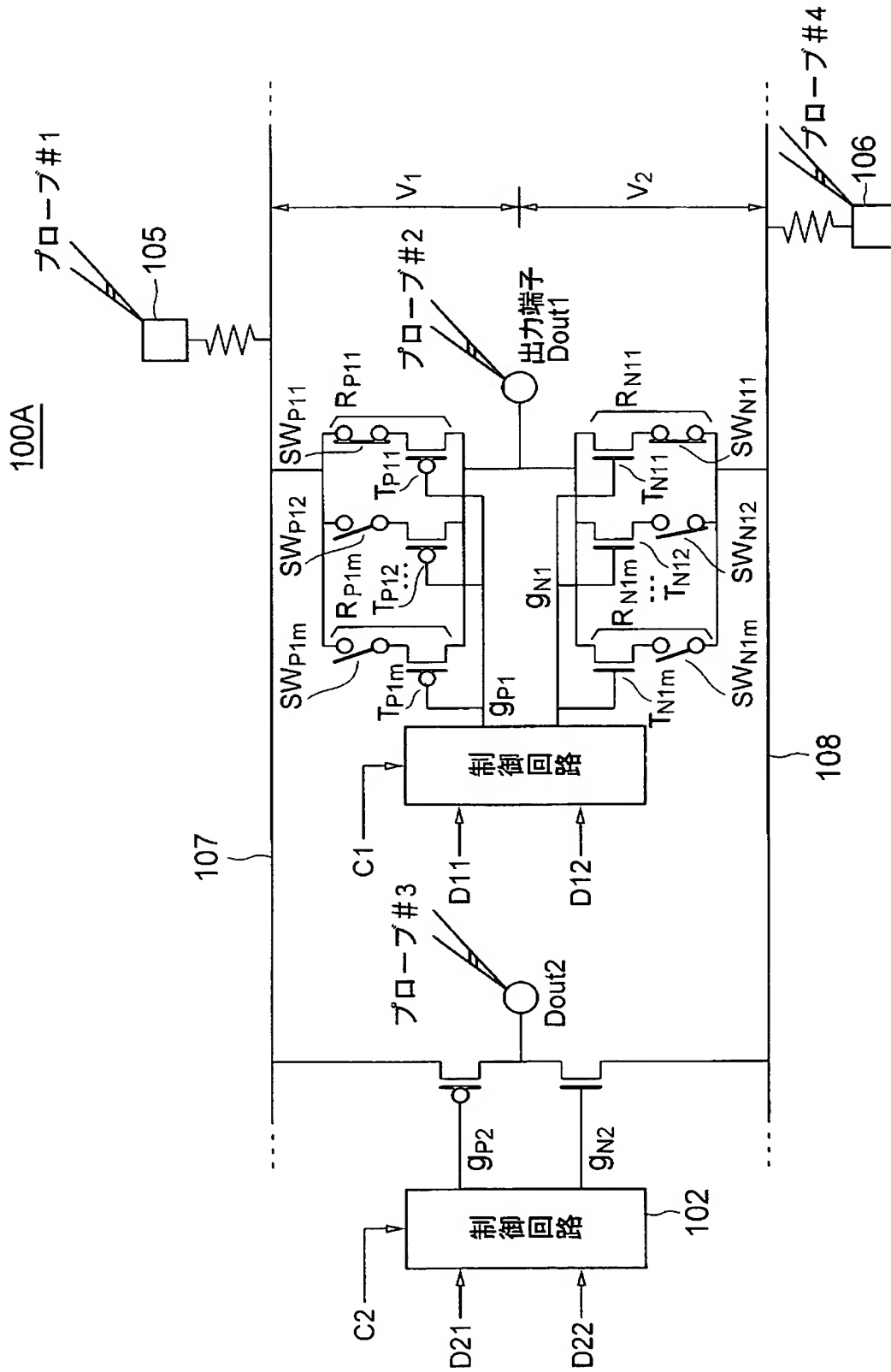
【図 4】



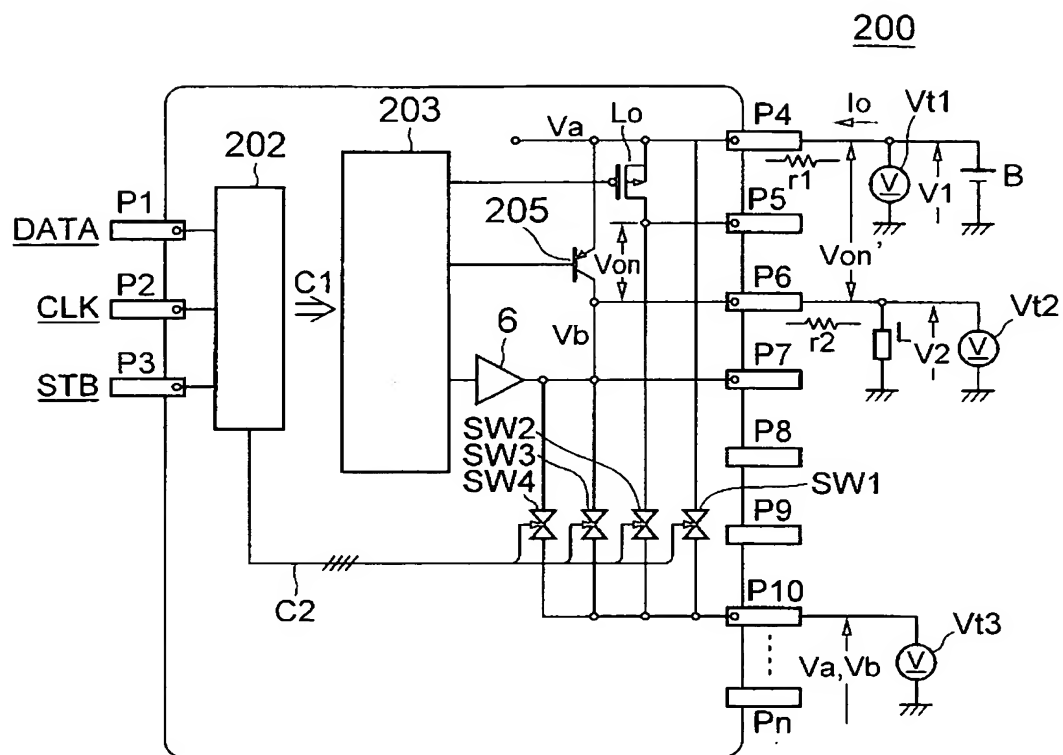
【図 5】



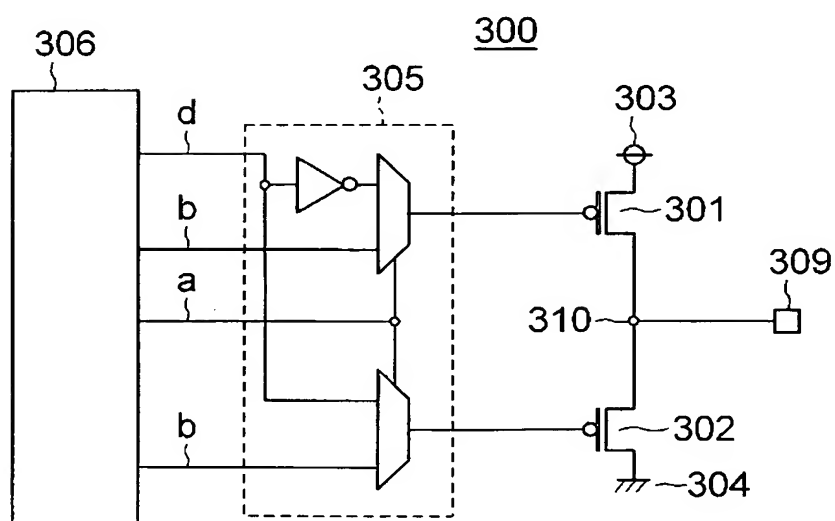
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 半導体スイッチの特性試験にあたって、試験に専用の端子を必要とせずに、試験精度できる半導体装置の試験方法を提供する。

【解決手段】 半導体装置 1 0 0 の特性試験時に、第 1 の出力回路に対応する制御回路 1 0 2 は、P 型 M I S トランジスタ  $T_{p1}$  及び N 型 M I S トランジスタ  $T_{N1}$  の双方をオンに設定し、第 2 の出力回路に対応する制御回路 1 0 2 は、P 型 M I S トランジスタ  $T_{p2}$  をオンにし、N 型 M I S トランジスタ  $T_{N2}$  をオフにする。プローブ # 1 からプローブ # 4 間に電流源を接続し、第 1 の出力回路の出力端子  $D_{out 1}$  と、第 2 の出力回路の出力端子  $D_{out 2}$  との間の電位差をプローブ # 2、# 3 を使用して測定し、P 型 M I S トランジスタ  $T_{p1}$  のオン抵抗を測定する。

【選択図】 図 1

特願 2 0 0 3 - 0 1 1 4 4 0

出 願 人 履 歴 情 報

識別番号

[ 5 0 0 1 7 4 2 4 7 ]

1. 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社